

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-335863

(43)Date of publication of application : 17.12.1996

(51)Int.Cl.

H03K 17/687

(21)Application number : 08-111474

(71)Applicant : INTERNATL RECTIFIER CORP

(22)Date of filing : 02.05.1996

(72)Inventor : CHOI CHONGWOOK CHRIS  
TAM DAVID C

(30)Priority

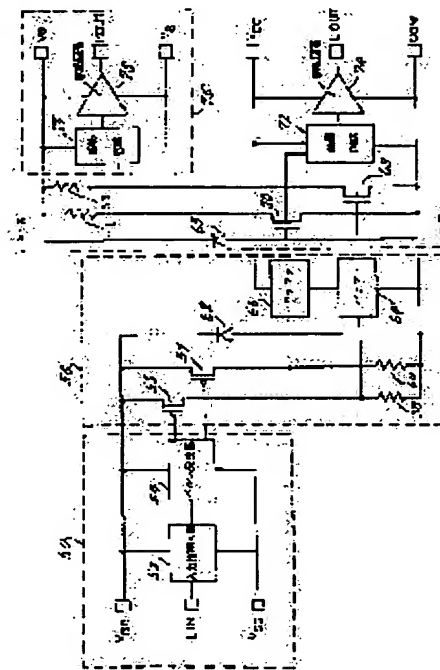
Priority number : 95 433841 Priority date : 04.05.1995 Priority country : US

## (54) DRIVE METHOD AND CIRCUIT FOR POWER TRANSISTOR AND INTEGRATED CIRCUIT INCLUDING THE CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a method and a device which drive power transistors from a control signal that is referenced to optional potential between line voltage and feedback line voltage in a half-wave bridge structure and an integrated circuit drive chip that includes drive circuits.

**SOLUTION:** This device is provided with a 1st level shift circuit 56, which changes the level of an output so that an output from an input circuit 50 to which a control signal that is referenced to optional potential between line voltage and feedback line voltage is referenced to a common voltage level. Furthermore, it is provided with circuits 68, 70, 74 and 75 which drive power transistors on low and high sides, based on the output of the 1st level shift circuit.



## LEGAL STATUS

[Date of request for examination] 29.08.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3069043

[Date of registration] 19.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

THIS PAGE LEFT BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-335863

(43) 公開日 平成8年(1996)12月17日

(51) Int.Cl.<sup>6</sup>

H 0 3 K 17/687

識別記号

庁内整理番号

9184-5K

F I

H 0 3 K 17/687

技術表示箇所

F

審査請求 有 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願平8-111474

(22) 出願日 平成8年(1996)5月2日

(31) 優先権主張番号 4 3 3 8 4 1

(32) 優先日 1995年5月4日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591074389

インターナショナル・レクチファイヤー・  
コーポレーション

INTERNATIONAL RECTI  
FIER CORPORATION

アメリカ合衆国90245カリフォルニア州

エル・セグンド、カンザス・ストリート  
233番

(72) 発明者 チョンウック・クリス・チョイ

アメリカ合衆国90278カリフォルニア州レ

ドンド・ビーチ、バンダービルト・レイ  
ン 2622番 アパートメント・シー

(74) 代理人 弁理士 青山 稔 (外2名)

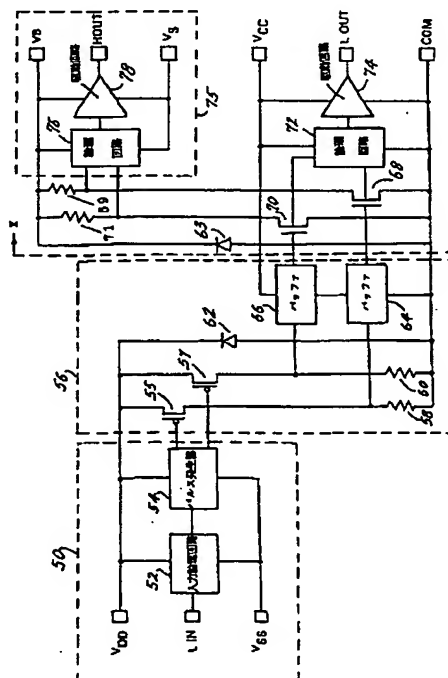
最終頁に続く

(54) 【発明の名称】 パワートランジスタの駆動方法及び回路、並びに該回路を含む集積回路

(57) 【要約】

【課題】 半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための方法及び回路、並びに、当該駆動回路を含む集積化された回路駆動チップを提供する。

【解決手段】 ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号が供給される入力回路50からの出力が共通電圧レベルに参照付けられるように上記出力のレベルを変更する第1レベルシフト回路56を備え、該第1レベルシフト回路の出力に基づき低側及び高側のパワートランジスタを駆動するための回路68, 70, 74, 75を備えた。



## 【特許請求の範囲】

【請求項 1】 半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための方法において、

ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号を入力回路へ供給し、共通電圧に対してフローティング状態にある 2 つの電圧レベルを上記入力回路に供給し、

上記入力回路の出力のレベルが共通電圧レベルに参照付けられるように上記出力のレベルを変更する第 1 レベルシフト回路に上記入力回路の出力を供給し、

上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路へ上記共通電圧レベルに参照付けられた上記出力を供給し、

上記共通レベルよりも高い第 2 電圧レベルに参照付けられた信号を生成するため、上記共通電圧レベルに参照付けられた上記出力を、上記第 1 レベルシフト回路からの上記出力のレベルを変更する第 2 レベルシフト回路へ供給し、

半波ブリッジ構成における高側パワートランジスタを備えるパワートランジスタ駆動用の高側駆動回路へ、上記第 2 電圧レベルに参照付けられた上記信号を供給する、工程を備えたことを特徴とするパワートランジスタを駆動するための方法。

【請求項 2】 共通電圧レベルに対してフローティング状態にある上記 2 つの電圧レベルは、ライン電圧とその帰還電圧のレベルによって選択される、請求項 1 記載のパワートランジスタを駆動するための方法。

【請求項 3】 半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための回路において、

ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号が供給される入力回路であって、共通電圧に対してフローティング状態にある 2 つの電圧レベルが供給される入力回路と、

上記入力回路の出力が供給され該出力が共通電圧レベルに参照付けられるように上記出力のレベルを変更する第 1 レベルシフト回路と、

上記共通電圧レベルに参照付けられた上記出力が供給され上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路と、

上記共通レベルよりも高い第 2 電圧レベルに参照付けられた信号を生成するため上記第 1 レベルシフト回路からの上記出力のレベルを変更する第 2 レベルシフト回路と、

半波ブリッジ構成における高側パワートランジスタを備

え、パワートランジスタを駆動するため上記第 2 電圧レベルに参照付けられた信号が供給される駆動回路と、を備えたことを特徴とするパワートランジスタを駆動するための回路。

【請求項 4】 上記第 1 レベルシフト回路を介して逆バイアスされたダイオードと、上記第 2 レベルシフト回路を介して逆バイアスされたダイオードとをさらに備え、これらのダイオードは上記ライン電圧の少なくとも 2 倍の電位に耐えることができる、請求項 3 記載のパワートランジスタを駆動するための回路。

【請求項 5】 共通電圧レベルに対してフローティング状態にある上記 2 つの電圧レベルは、ライン電圧とその帰還電圧のレベルによって選択される、請求項 3 又は 4 記載のパワートランジスタを駆動するための回路。

【請求項 6】 半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための回路を単一の集積回路上に集積化する方法において、ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号を入力回路へ供給し、共通電圧に対してフローティング状態にある 2 つの電圧レベルを上記入力回路に供給し、

上記入力回路の出力のレベルが共通電圧レベルに参照付けられるように上記出力のレベルを変更する第 1 レベルシフト回路に上記入力回路の出力を供給し、

上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路へ上記共通電圧レベルに参照付けられた上記出力を供給し、

上記共通レベルよりも高い第 2 電圧レベルに参照付けられた信号を生成するため、上記共通電圧レベルに参照付けられた上記出力を、上記第 1 レベルシフト回路からの上記出力のレベルを変更する第 2 レベルシフト回路へ供給し、

半波ブリッジ構成における高側パワートランジスタを備えるパワートランジスタ駆動用の高側駆動回路へ、上記第 2 電圧レベルに参照付けられた上記信号を供給する、工程を備えたことを特徴とするパワートランジスタを駆動するための回路を単一の集積回路上に集積化する方法。

【請求項 7】 共通電圧レベルに対してフローティング状態にある上記 2 つの電圧レベルは、ライン電圧とその帰還電圧のレベルによって選択される、請求項 6 記載のパワートランジスタを駆動するための回路を単一の集積回路上に集積化する方法。

【請求項 8】 半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための、単一の集積回路上に集積化された回路において、ライン電圧と帰還ライン電圧との間の任意の電位に参照

付けられたコントロール信号が供給される入力回路であって、共通電圧に対してフローティング状態にある2つの電圧レベルが供給される入力回路と、

上記入力回路の出力が供給され該出力が共通電圧レベルに参照付けられるように上記出力のレベルを変更する第1レベルシフト回路と、

上記共通電圧レベルに参照付けられた上記出力が供給され上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路と、

上記共通レベルよりも高い第2電圧レベルに参照付けられた信号を生成するため上記第1レベルシフト回路からの上記出力のレベルを変更する第2レベルシフト回路と、

半波ブリッジ構成における高側パワートランジスタを備え、パワートランジスタを駆動するため上記第2電圧レベルに参照付けられた信号が供給される駆動回路と、を備えたことを特徴とするパワートランジスタを駆動するための、単一の集積回路上に集積化された回路。

【請求項9】 上記第1レベルシフト回路を介して逆バイアスされたダイオードと、上記第2レベルシフト回路を介して逆バイアスされたダイオードをさらに備え、これらのダイオードは上記ライン電圧の少なくとも2倍の電位に耐えることができる、請求項8記載のパワートランジスタを駆動するための、単一の集積回路上に集積化された回路。

【請求項10】 共通電圧レベルに対してフローティング状態にある上記2つの電圧レベルは、ライン電圧とその帰還電圧のレベルによって選択される、請求項8又は9記載のパワートランジスタを駆動するための、単一の集積回路上に集積化された回路。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、半波ブリッジ(half bridge)構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための方法及び回路、並びに上記回路を含む集積回路に関する。例えば、本発明は、半波ブリッジ構成に配列されるパワーMOSFETに応用可能である。又、本発明は他のタイプのトランジスタにも等しく応用可能である。又、本発明は、上記回路を含む集積化された回路駆動チップに関する。

#### 【0002】

【従来の技術及び発明が解決しようとする課題】半波ブリッジ構成内のパワートランジスタと該パワートランジスタ用のコントロール信号との間にはインタフェース回路が必要である。上記パワートランジスタ用の電圧供給ラインとその帰還ラインとの間の任意の電位に参照付けられた(referenced)コントロール信号に上記パワートランジスタを結びつけることができるようなインタフェ

ース回路が特に必要である。さらに又、他の駆動機能とともに単一の駆動チップに集積可能な回路が必要である。従来技術にあっては、上記コントロール信号は、帰還電圧、若しくはライン電圧、若しくはライン電圧 $V_L$ と帰還電圧 $-V_L$ との間の中間点電圧に参照付けられるのが、最も一般的である。本出願の図1は、上記コントロール信号がライン電圧 $V_L$ と帰還電圧 $-V_L$ との間の中間点電圧に参照付けられた例を示す。この場合、ライン電圧と帰還電圧との間の中間点はグラウンド若しくは $V_{SS}$ である。図1の回路において、すべてのコントロール信号は、グラウンド若しくは $V_{SS}$ に参照付けされねばならない。もし、コントロール信号が $+V_L$ と $-V_L$ との間の任意の電位に参照付け可能である回路が提供されたならば便利である。本発明の目的は、半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための方法及び回路を提供することである。さらに又、本発明の目的は、上記駆動回路を含む集積化された回路駆動チップを提供することである。

#### 【0003】

【課題を解決するための手段】本発明の第1態様におけるパワートランジスタを駆動するための方法は、半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための方法において、ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号を入力回路へ供給し、共通電圧に対してフローティング状態にある2つの電圧レベルを上記入力回路に供給し、上記入力回路の出力のレベルが共通電圧レベルに参照付けられるように上記出力のレベルを変更する第1レベルシフト回路に上記入力回路の出力を供給し、上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路へ上記共通電圧レベルに参照付けられた上記出力を供給し、上記共通レベルよりも高い第2電圧レベルに参照付けられた信号を生成するため、上記共通電圧レベルに参照付けられた上記出力を、上記第1レベルシフト回路からの上記出力のレベルを変更する第2レベルシフト回路へ供給し、半波ブリッジ構成における高側パワートランジスタを備えるパワートランジスタ駆動用の高側駆動回路へ、上記第2電圧レベルに参照付けられた上記信号を供給する、工程を備えたことを特徴とする。

【0004】又、本発明の第2態様におけるパワートランジスタを駆動するための回路は、半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための回路において、ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号が供給される入力回路であって、共通電圧に対してフローティング状態にある2つの電圧レベルが供

給される入力回路と、上記入力回路の出力が供給され該出力が共通電圧レベルに参照付けられるように上記出力のレベルを変更する第 1 レベルシフト回路と、上記共通電圧レベルに参照付けられた上記出力が供給され上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路と、上記共通レベルよりも高い第 2 電圧レベルに参照付けられた信号を生成するため上記第 1 レベルシフト回路からの上記出力のレベルを変更する第 2 レベルシフト回路と、半波ブリッジ構成における高側パワートランジスタを備え、パワートランジスタを駆動するため上記第 2 電圧レベルに参照付けられた信号が供給される駆動回路と、を備えたことを特徴とする。

【0005】又、本発明の第 3 態様におけるパワートランジスタを駆動するための回路を単一の集積回路上に集積化する方法は、半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための回路を単一の集積回路上に集積化する方法において、ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号を入力回路へ供給し、共通電圧に対してフローティング状態にある 2 つの電圧レベルを上記入力回路に供給し、上記入力回路の出力のレベルが共通電圧レベルに参照付けられるように上記出力のレベルを変更する第 1 レベルシフト回路に上記入力回路の出力を供給し、上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路へ上記共通電圧レベルに参照付けられた上記出力を供給し、上記共通レベルよりも高い第 2 電圧レベルに参照付けられた信号を生成するため、上記共通電圧レベルに参照付けられた上記出力を、上記第 1 レベルシフト回路からの上記出力のレベルを変更する第 2 レベルシフト回路へ供給し、半波ブリッジ構成における高側パワートランジスタを備えるパワートランジスタ駆動用の高側駆動回路へ、上記第 2 電圧レベルに参照付けられた上記信号を供給する、工程を備えたことを特徴とする。

【0006】又、本発明の第 4 態様における、パワートランジスタを駆動するための、単一の集積回路上に集積化された回路は、半波ブリッジ構成においてライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号からパワートランジスタを駆動するための、単一の集積回路上に集積化された回路において、ライン電圧と帰還ライン電圧との間の任意の電位に参照付けられたコントロール信号が供給される入力回路であって、共通電圧に対してフローティング状態にある 2 つの電圧レベルが供給される入力回路と、上記入力回路の出力が供給され該出力が共通電圧レベルに参照付けられるように上記出力のレベルを変更する第 1 レベルシフト回路と、上記共通電圧レベルに参照付けられた上記出力

が供給され上記半波ブリッジ構成において低側パワートランジスタとして機能するパワートランジスタ用の低側駆動回路と、上記共通レベルよりも高い第 2 電圧レベルに参照付けられた信号を生成するため上記第 1 レベルシフト回路からの上記出力のレベルを変更する第 2 レベルシフト回路と、半波ブリッジ構成における高側パワートランジスタを備え、パワートランジスタを駆動するため上記第 2 電圧レベルに参照付けられた信号が供給される駆動回路と、を備えたことを特徴とする。

【0007】

【発明の実施の形態】図を参照して、図 1 は、パワートランジスタを駆動するためのコントロール信号と半波ブリッジ構成内に配列されるパワートランジスタとの間のインタフェースの一般化された回路図を示す。示される実施形態において、パワートランジスタは、当業者に公知のように、負荷が端子 O U T に接続された状態で相補的に動作する。上記半波ブリッジ回路は、高側パワートランジスタ 10 と低側パワートランジスタ 20 とを含む。図示される回路において、高側パワートランジスタがオン状態に駆動されたとき、低側パワートランジスタはオフ状態である。逆に、低側パワートランジスタがオン状態のとき、高側パワートランジスタはオフ状態である。又、半波ブリッジ回路は、上記負荷が両トランジスタとともに直列であり、この場合上記 2 つのトランジスタが同時に駆動可能であるように動作するように形成可能である。

【0008】コントロール信号、例えば H I N 及び L I N は、入力端子 30 にて、制御論理インタフェース回路 40 へ供給される。従来技術からの制御論理回路は当業者に公知である。例えば、そのような制御論理回路は、この出願の譲受人であるインターナショナル・レクチファイヤー・コーポレーション (International Rectifier Corp.) から入手可能な、I R 2110 タイプのものである。当業者に公知なように、回路のコントロールの仕方に依存して、一つ又は複数のコントロール入力端子 30 がある。図 1 においては、2 つのコントロール入力端子が示されている。

【0009】上記制御論理インタフェース回路 40 は、当業者に公知なように、高側ゲートドライブ 42 と、低側ゲートドライブ 44 とを設けている。電圧源  $V_B$ 、 $V_{CC}$ 、 $V_{DD}$  は、当業者に公知なように、上記制御論理インタフェース回路に接続されている。さらに、電圧源  $V_L$  及び  $-V_L$  がそれぞれのパワートランジスタ 10、20 の主端子に接続されている。これらのパワートランジスタは、 $V_S$  及び負荷が接続される共通点 (common point) を有する。図示された実施形態において、グラウンドは電圧レベル  $V_{SS}$  に接続される。

【0010】図 1 に示すように従来技術において、一つ又は複数のコントロール信号 30 は、一般的にグラウンドレベルである、参照 (reference) レベルに参照付けら

れている。しかしながら、多くのインバータコントロール信号は、グラウンドに参照付ける必要がない。電圧ラインとそれの帰還ラインとの間、即ち $+V_L$ と $-V_L$ との間の任意の電位にコントロール信号を参照付ける、コントロール信号とパワートランジスタとの間のインタフェース回路が提供されることが望まれる。

【0011】図3は、図1の従来の装置、特に、IR2110駆動回路の詳細を示し、該装置はコントロール入力信号が $V_{SS}$ （グラウンド）に参照付けされている。図3は、図1の集積回路40内に含まれる回路の機能ブロック図である。論理入力ピン10、11及び12は、図示するように、シュミットトリガ回路50A、50B及び50Cを介してRSラッチ50D及び50Eに接続され、又、論理回路50F及び50Gに接続される。論理回路50F及び50Gの出力端子は、それぞれレベルシフト回路70及び68に接続される。明らかなように、レベルシフト回路70、68の出力は、それぞれ、ピン7（HOUT）及びピン1（LOUT）にて、高側コントロール出力及び低側コントロール出力をコントロールする。

【0012】低電圧チャンネル（channel）におけるレベルシフト回路68からの出力は、遅延回路72Aを介してゲート回路72Bの一入力端子に供給される。ゲート72Bの出力端子は、出力駆動MOSFETトランジスタ74A及び74Bのゲート電極に接続される。後述するように、これらのトランジスタは、ピン11、12への論理入力により要求されたとき、ピン1にゲート電圧を生成する。

【0013】図3はまた、ピン3にて不足電圧が検出されたとき、ピン1から動作されるパワーMOSFET若しくはIGBTがオン状態となるのを防ぐため、ゲート72Bからの出力をディスイיブルにする不足電圧検出回路73を含む。上記回路の高電圧チャンネル用のレベルシフト回路70は、パルス発生器76Aに接続される一つの出力端子を有する。不足電圧検出回路73は、また、パルス発生器76Aに接続され、ピン3における不足電圧状態の検出に応答して高電圧出力チャンネルをオフ状態とする。

【0014】パルス発生器76Aは、MOSFET76Bのゲートに接続されるセット（S）出力端子と、MOSFET76Cのゲートに接続されるリセット（R）出力端子の、2つの出力端子を有する。セットパルスは、MOSFET76Bに供給され、リセットパルスはMOSFET76Cに供給される。MOSFET76B、76Cのソースは、共通（common）接続線に接続され、それらのドレインは抵抗76D、76Eにそれぞれ接続される。

【0015】通常動作の間、パルス発生器76AからMOSFET76B、76Cへパルスを加えることは、MOSFET76B、76Cと、それらのそれぞれの抵抗

76D、76Eとの間のノードにて、出力電圧パルス $V_{set}$ 、 $V_{rst}$ を生成する。そして上記パルス $V_{set}$ 、 $V_{rst}$ は、パルスフィルタ76Fへ供給される。パルスフィルタ76Fの出力チャンネルは、ラッチ76GのR及びS入力端子に接続される。第2不足電圧検出回路76Hは、もしピン6にて不足電圧が検出されたならば、ピン7に信号が供給されないことを確実にするため、ラッチ76Gへの入力として設けられる。

【0016】RSラッチ76Gの出力は、MOSFET78A、78Bをオン、オフ状態とするために使用される。したがって、もしハイレベルの信号がRSラッチの入力端子Rに供給された場合、ピン7における出力はオフ状態になる。もしハイレベルの信号がラッチ76Gの入力端子Sに供給された場合、ピン7における出力はオン状態になる。

【0017】図3の回路において、入力コントロール信号HIN、LINは、グラウンド（ $V_{SS}$ ）に参照付けられている。コントロール信号が $+V_L$ と $-V_L$ との間の任意のレベルに参照付けることが可能となる、図3のような駆動回路を設けるのが望ましい。図1の制御論理インタフェース回路40を置き換えた、図2による回路は、そのような可能性を提供する。図2を参照して、インタフェース回路は入力部50を備え、該入力部50は、入力コントロール信号が供給され、電圧源 $V_{DD}$ 及び $V_{SS}$ に接続される。図示されるように、ライン $V_{SS}$ は、図1におけるように、グラウンドに接続されていない。 $V_{DD}$ 及び $V_{SS}$ は、 $+V_L$ と $-V_L$ との間の任意のレベルを有するコントロール信号に入力回路52が応答するように選択される。入力信号は、これ自体は従来の設計のものである入力論理回路52にて受信され、該回路の出力端子は、これも従来の設計のものであるパルス発生器54に接続される。当業者に公知のように、パルス発生器54は、2つの出力線にそれぞれ“オン”及び“オフ”出力を供給する。“オン”パルスは、上記入力コントロール信号の立上り区間にて供給され、“オフ”パルスは上記入力コントロール信号の立下り区間にて供給される。論理回路52及びパルス発生器54の例は、図3の箱状の領域50にて示されている。

【0018】上記パルス発生器の出力は、それぞれ抵抗58又は60に接続される2つのPチャンネルのFET55及び57を備える第1レベルシフト回路56に供給される。固有の若しくは寄生のダイオード62が、トランジスタ55及び抵抗58並びにトランジスタ57及び抵抗60を備える抵抗トランジスタ直列回路を介して接続される。トランジスタ55及びトランジスタ57は、COM又は $-V_L$ に参照付けられた信号までコントロール信号を下方にレベル変更（level shift）する。よって、これらの信号は低側パワーデバイス20用の駆動を提供する。このレベルシフト回路は、図3の従来技術のドライバー装置におけるレベルシフト回路70、68と

著しい差異をなすものであり、コントロール信号のレベルを、基準レベル $V_{DD}$ 及び $V_{SS}$ から $V_{CC}$ 及びCOMに参照付けられるレベルまで変更 (shift) する。

【0019】各トランジスタ55、57の出力端子は、それぞれバッファ64、66に接続される。バッファ64、66の出力端子は、それぞれNチャネルのFET68、70とともに、図3に符号72にて示され従来の設計による出力論理回路72に接続される。出力論理回路72の出力は、駆動回路74に供給される。該駆動回路74は、従来の設計によるものであり (図3参照)、低側出力駆動信号を低側パワートランジスタに供給する。トランジスタ68、70は、第2レベルシフト回路を提供し、バッファ64、66の出力は、高側パワートランジスタ10の駆動回路76、78のために必要な、 $V_B$ 及び $V_S$ に参照付けられる高電圧基準 (reference) ヘルベ

ル変更される。トランジスタ68、70は、高側パワートランジスタ10の駆動に必要なため、COM基準レベルから $V_B$ 基準レベルまで、それらのゲートにおいて、コントロール信号の参照レベルを変更する。論理回路76の出力は、従来設計 (図3参照) でありパワートランジスタ10へ高側出力信号を供給する駆動回路78へ供給される。

【0020】図示されるように、各トランジスタ68、70は、上記レベル変更を達成するようにプルアップ抵抗69又は71にそれぞれ接続される。又、別の固有のダイオード63が第2レベルシフト回路を介して接続される。2つのNチャネルFET、2つのPチャネルFET及び2つのダイオードは、少なくとも2倍の $V_L$ の電位に耐えることができなければならない。上記2つのダイオードは、回路ブロック50及び75が互いに独立して2倍の $V_L$ を越えるまで $-V_L$ の上方でフロート (float) 可能であるという事実を表す。

【0021】X-X線の右側の回路部分は、IRタイプ2110装置に由来より存在する。したがって、第1レベルシフト回路56を含む図2に示される全体の回路は、単一の集積回路チップ、即ち単一のシリコンチップに集積化されるのが好ましい。例えば、図2の回路は、上記IR2110装置への改良を表し、上記装置の単一シリコンチップに組み込むことができる。図4は、図2の回路の一部がどのように集積回路内に形成可能であるかを示している。通常のチップにおいて図2の回路を形成する場合、上記高電圧回路及び低電圧回路は互いに横方向に分離される。図4は、そのようなチップの一部の断面を示し、特に、図2の回路75の $V_B$ と $V_S$ との間に接続された回路の断面を示す。よって、図4において、シリコンチップ120は、P (-) 基板121を備え、該基板121上にはN (-) シリコンのエピタキシャル層122が成長されている。上記N (-) 領域122は、P+分離層 (sinker) 130、131、132によって高電圧領域と低電圧領域とに分離されている。よ

て、分離層130及び131は、低電圧領域141から分離された高電圧デバイス領域140をエピタキシャル層122内に形成する。領域140、141は、所望のいずれのトポロジーを有することができる。さらに、所望のいずれの分離技術を領域140と領域141との間に使用可能である。

【0022】典型的に、図2の駆動回路78は、Pチャネル及びNチャネルMOSFETを備える。このことは、1994年7月12日に出願され、共に係属中である出願番号08/274012 (IR-1131) に詳細に記述されており、これに開示されていることは、本明細書に参考として編入している。又、それに記載され、かつ当業者に公知であることは、高電圧回路用の低電圧制御回路であり、該制御回路はPチャネル及びNチャネルMOSFETを備えることができる。それらMOSFETの高電圧回路は、高電圧領域140内に形成されるものとして図4に示されている。エピタキシャル層122に拡散されたP+コンタクト領域162、163は、図2の駆動回路78のPチャネルMOSFETのソース及びドレインのいずれかを示す。P領域164は、P型のウェル領域を形成するためエピタキシャル層122に拡散される。P型領域164に拡散されたN+コンタクト領域160、161は、図2の駆動回路78のNチャネルMOSFETのソース及びドレインのいずれかを示す。

【0023】低電圧制御回路のMOSFETは、図4の領域141内に形成されるものとして図示される。N+コンタクト領域125は、領域141内に拡散され、低電圧供給 $V_{CC}$ となる電極が与えられる。低電圧コントロール領域124は、高電圧領域140の拡散領域160から拡散領域164に同一である不図示の拡散領域を含む。しかしながら、低電圧制御領域124におけるすべてのN+及びP+拡散領域は、 $V_{CC}$  (15V) と0Vとの間の電極が与えられ、それらは低電圧制御回路のMOSFETのソース及びドレインを示す。

【0024】N+コンタクト領域126、127は、エピタキシャル層122内に拡散され、 $V_B$  (615V) 及び $V_S$  (600V) の間の電位となることができる金属電極が与えられる。P+分離層130、131、132は、0V又はグラウンド電位 (COM) である電極が与えられる。P (-) リサーフ (resurf) 領域150、151は、低電圧領域141から分離するため高電圧領域140を取り囲むことができる。従来のように、シリコン表面内のすべての素子は、例えば、約1.5マイクロメートルの厚みを有する低温酸化シリコン層 (silox) 180である、絶縁物により被覆される。すべての表面電極へのコンタクトは、絶縁層180を貫通し、不図示の適切な外部ピンに導かれる。

【0025】図4のデバイスは、図4に図示するように、完成したチップの上面に重なり接触するプラスチッ



クのハウジング 181 内に従来のように収容される。上記ハウジング用に使用されるプラスチックは、ニットー (Nitto) MP-150SG、ニットー MP-180、及びハイソル (Hysol) MG15-F の商品名にて販売されるような適宜な絶縁物質である。V<sub>B</sub> 及び V<sub>S</sub> に接続される上記回路は、図 4 に断面にて示されるが、同様に、V<sub>DD</sub> 及び V<sub>SS</sub> の間に接続される回路のために分離構造が使用できる。基本的に、同一の構造が図 4 に V<sub>B</sub> と記された点とともに、V<sub>DD</sub>-V<sub>SS</sub> 回路用に使用できる。図 4 にて V<sub>DD</sub> 及び V<sub>S</sub> と記された点に接続されるものは、V<sub>SS</sub> に接続される。

【0026】したがって、ライン電圧 V<sub>L</sub> とその帰還電圧 -V<sub>L</sub> との間の任意の電位に参照付けられるコントロール信号から、半波ブリッジ構成においてパワートランジスタを駆動するための回路が提供される。この回路は、集積回路として単一のチップに集積化されるのが好ましい。本発明はある実施形態について説明したが、他の多くの種類、変更、及び他の使用方法が当業者によって明らかになる。それゆえに、本発明は、ここに開示

された明細書によってのみ限定すべきものではなく、特許請求の範囲の記載によるものである。

#### 【図面の簡単な説明】

【図 1】 コントロール信号と半波ブリッジ構成に配列された 2 つのパワートランジスタとの間のインタフェース回路の接続例を示す。

【図 2】 コントロール信号とパワートランジスタとの間のインタフェースを提供する本発明の回路であって、ライン電圧と帰還電圧との間の任意の電位に参照付けられたコントロール信号によって上記パワートランジスタを駆動する回路を示す。

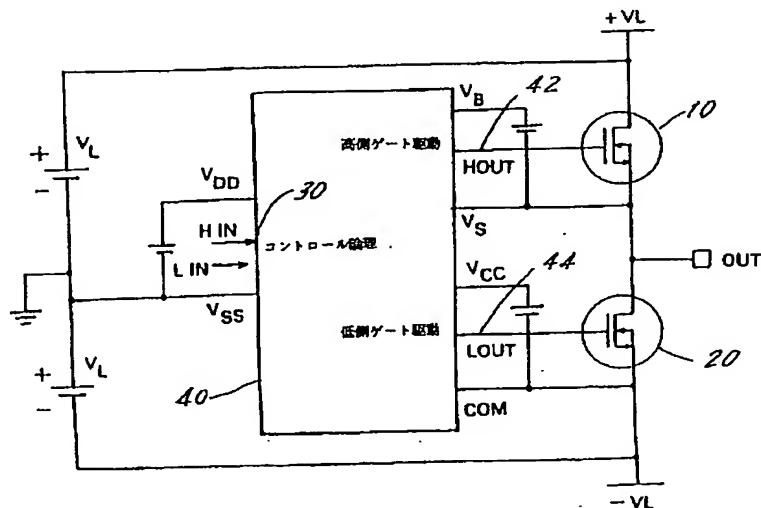
【図 3】 コントロール信号がグラウンドに参照付けられ、本発明に従って変更可能な公知の駆動回路を示す。

【図 4】 図 2 の回路の一部が集積回路内でどのように提供されるのかを示す。

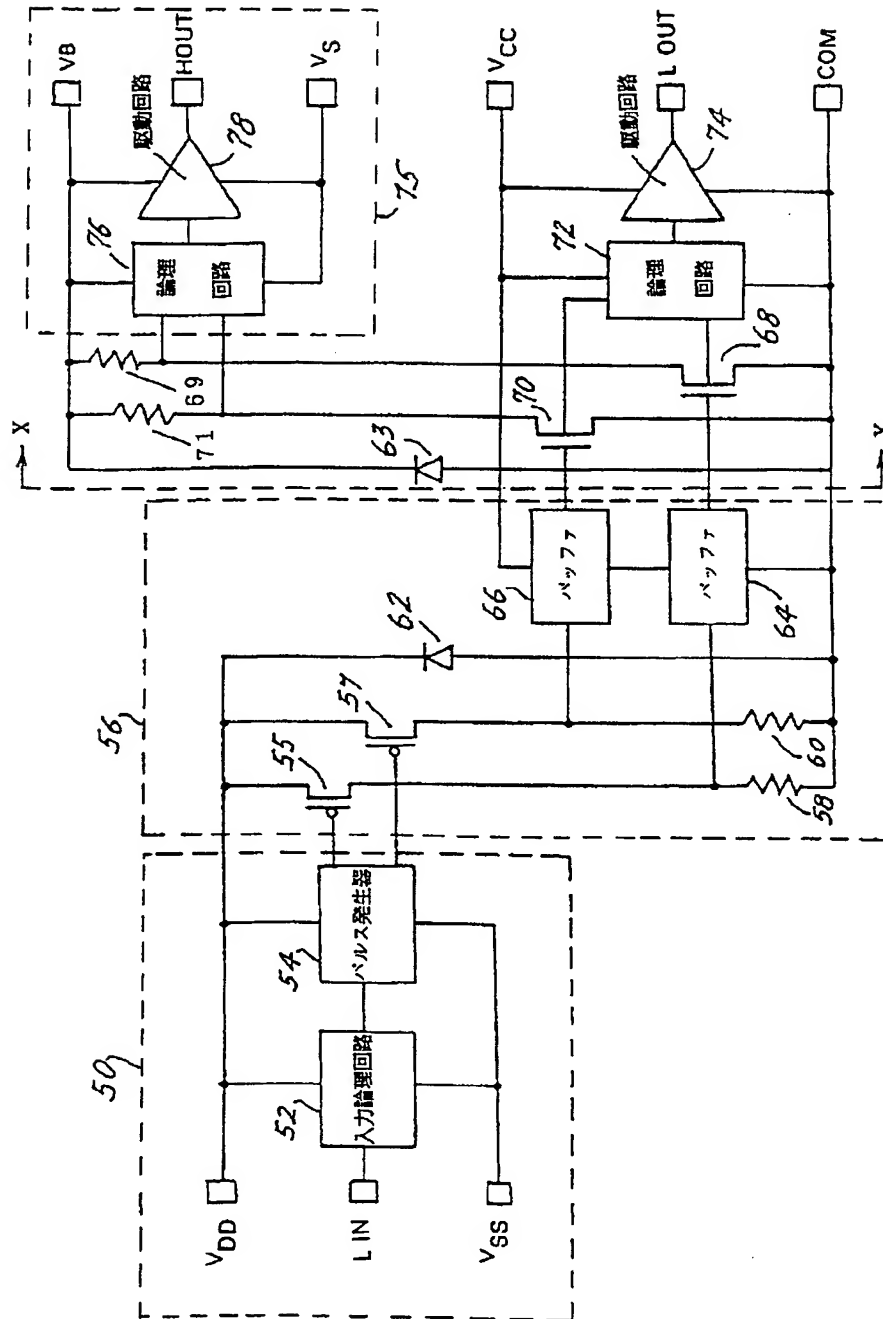
#### 【符号の説明】

50…入力部、56…第 1 レベルシフト回路、68、70…トランジスタ、74、78…駆動回路。

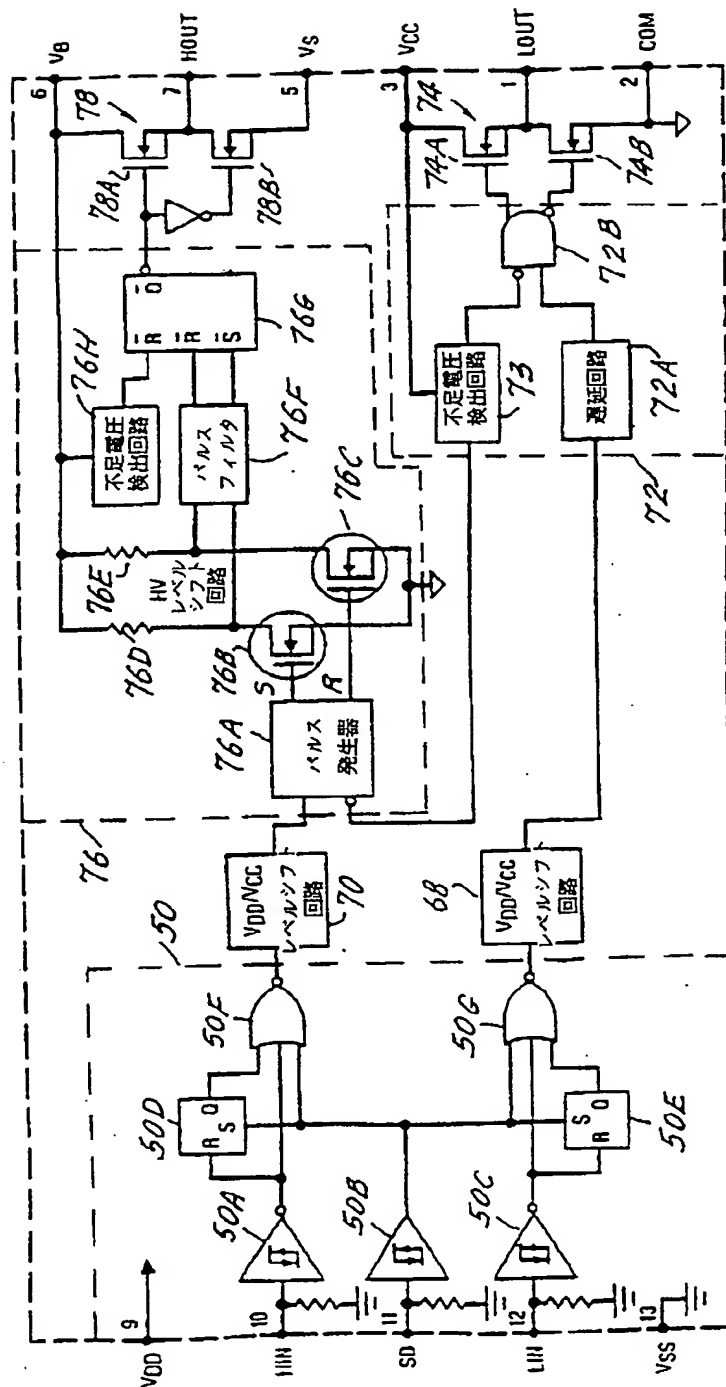
【図 1】



【圖 2】



【図 3】



(72)発明者 デイビッド・シー・タム  
アメリカ合衆国90278カリフォルニア州レ  
ドンド・ビーチ、ステインハート1733番